

32 位微控制器

HC32L110 / HC32F003 / HC32F005 系列 硬件开发指南

适用对象

系列	产品型号
HC32L110	HC32L110C6UA
	HC32L110C6PA
	HC32L110C4UA
	HC32L110C4PA
	HC32L110B6PA
	HC32L110B4PA
HC32F003	HC32F003C4UA
	HC32F003C4PA
HC32F005	HC32F005C6UA
	HC32F005C6PA
	HC32F005D6UA

目 录

1	摘要	4
2	电源	5
3	复位电路	6
4	GPIO	7
5	晶振电路设计	8
	5.1 电路设计	8
	5.2 电路 layout.....	9
6	常用接口设计	11
	6.1 UART 接口设计	11
	6.2 SWD 接口设计	12
	6.3 I2C 接口设计	13
7	芯片封装 PCB Layout	14
8	应用电路（最小系统，仅供参考）	15
9	华大 HC32F003/HC32F005 与友商产品 X003 系列引脚配置比较.....	16
	9.1 TSSOP20 引脚配置差异.....	16
10	其他信息	17
11	版本信息 & 联系方式	18

表目录

表 1 华大芯片与友商芯片 TSSOP20 引脚配置差异列表.....	17
-------------------------------------	----

图目录

图 1 去耦电容	5
图 2 NRST 电路	6
图 3 外部高速晶振示意图	8
图 4 外部低速晶振示意图	8
图 5 晶振电路地线隔离环	9
图 6 晶振电路整体布局、滤波、包地隔离设计示意图	10
图 7 UART 接口设计示意图	11
图 8 SWD 接口设计示意图	12
图 9 I2C 接口设计示意图	13
图 10 芯片最小系统设计参考图	15
图 11 HC32F003/HC32F005 与 X003 引脚配置比较图	16

1 摘要

本篇应用笔记主要介绍基于 HC32L110 / HC32F003 / HC32F005 系列芯片的外围硬件设计，包含电源、GPIO、晶振、UART、SWD、I2C、器件封装、最小系统参考硬件设计等内容。

注意：

- 本应用笔记为 HC32L110 / HC32F003 / HC32F005 系列的应用补充材料，不能代替用户手册，具体功能及寄存器的操作等相关事项请以用户手册为准。

2 电源

每组电源（DVCC/AVCC）都需要一个去耦电容 $4.7\mu\text{F} + \text{旁路电容 } 0.1\mu\text{F}$ ，PCB 布局时，电容尽量靠近相应电源引脚。

芯片的 VCAP 引脚：LDO 内核供电输出 Pin（仅限内部电路使用，需外接 $4.7\mu\text{F} + 10\text{nF}$ 的去耦电容）；不能在外部连接任何负载。

所有的电源(DVCC/AVCC)和地(DVSS/AVSS)引脚必须始终连接在 MCU 工作电压范围内的供电系统上。

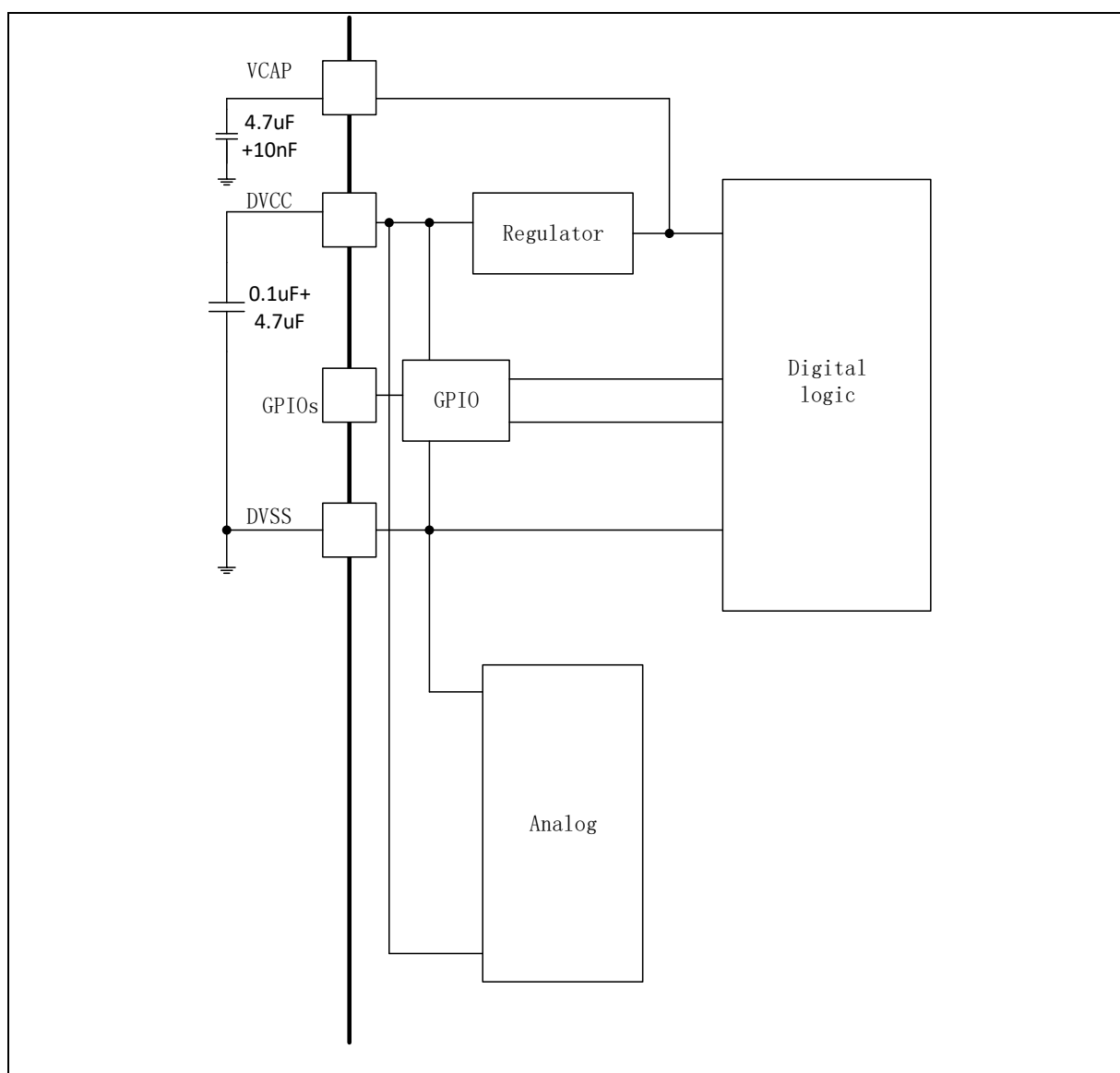


图 1 去耦电容

MCU 工作电压范围： $1.8\text{V} \leq \text{DVCC/AVCC} \leq 5.5\text{V}$ 。

3 复位电路

设计时，请在 RESETB 引脚和地（DVSS）之间接电容，与上拉电阻形成 RC 迟延电路；应用中如果不使用 RESETB，必须将 RESETB 通过电阻（推荐 4.7K）上拉到 DVCC。

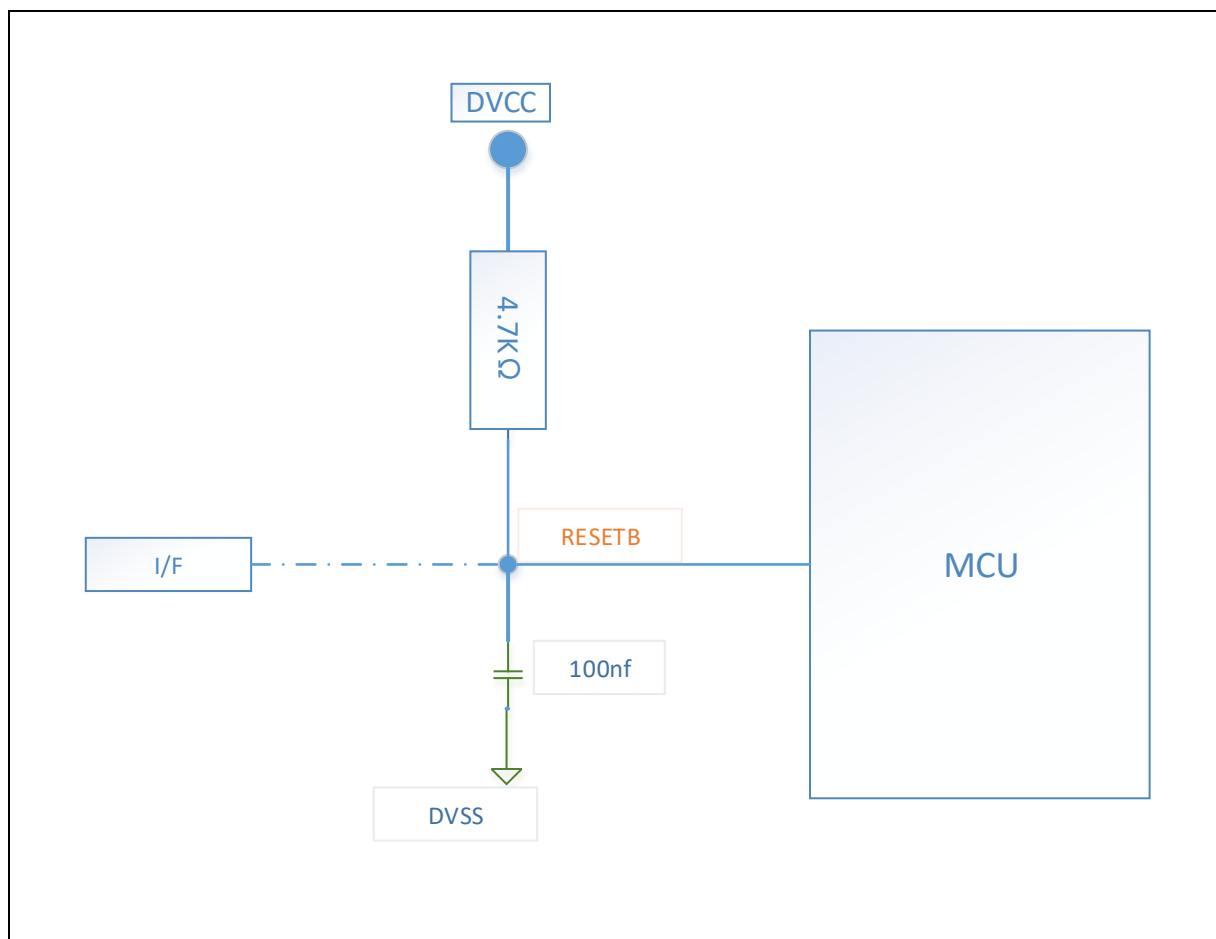


图 2 NRST 电路

4 GPIO

最多可提供 16 个 GPIO 端口，其中部分 GPIO 与模拟端口复用。每个端口由独立的控制寄存器位来控制。支持边沿触发中断和电平触发中断，可从各种超低功耗模式下把 MCU 唤醒到工作模式。支持 Push-Pull CMOS 推挽输出、Open-Drain 开漏输出。内置上拉电阻、下拉电阻，带有施密特触发器输入滤波功能。输出驱动能力可配置，最大支持 12mA 的电流驱动能力。16 个通用 IO 可支持外部异步中断。

注意：

- 当不使用 NRST 功能时，RESETB 端口也可以配置为 GPIO 输入端口 P00。

5 晶振电路设计

5.1 电路设计

高速外部时钟(XTH)可以使用一个 4~32MHz 的晶体/陶瓷谐振器构成的振荡器产生。两个引脚都有负载电容，在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

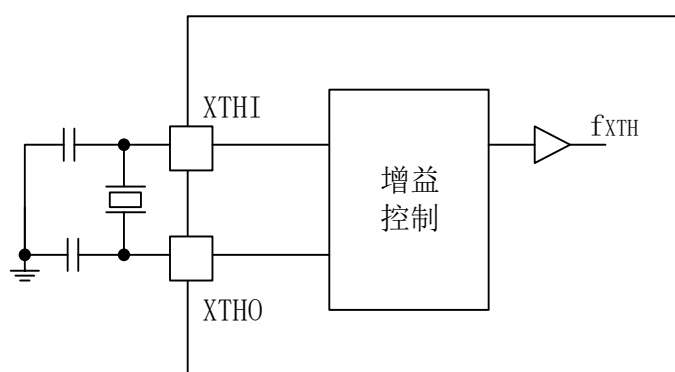


图 3 外部高速晶振示意图

低速外部时钟(XTL)可以使用一个 32.768KHz 的晶体/陶瓷谐振器构成的振荡器产生。两个引脚都有负载电容。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

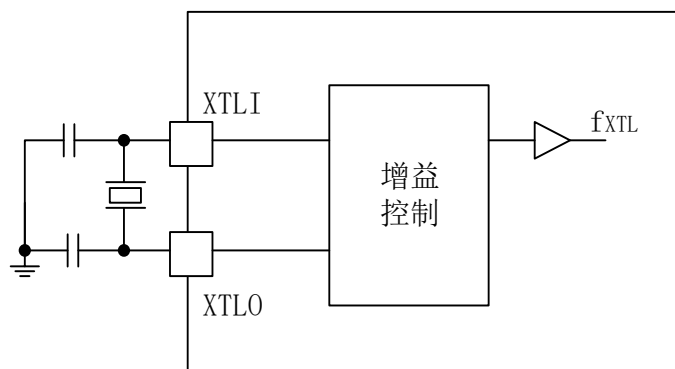


图 4 外部低速晶振示意图

注意：

- 在阅读晶振厂商的提供的 datasheet 时，参数负载电容 CL（Load capacitance），是指电路中跨接晶体两端的总的有效电容，不是晶振外接的匹配电容；另外，在计算晶振电路的匹配电容值时，需要把晶振电路 PCB 的 layout 走线到地的寄生电容考虑进去。

5.2 电路 layout

- 外部晶振单元和负载电容应尽可能靠近芯片端。
- 外部晶振信号线走线应尽量短。走线宽度不要太细，最细也不要低于芯片 pin 的宽度。
- 在晶振局部电路相邻层 layer，应该有一个完整的覆地。
- 应该在外部晶振周边用地线做保护隔离环（guard ring），地环线需要充分接地（多过地孔），减少外部晶振信号与其他信号之间的相互窜扰。（参考图 5）
- 晶振电路要注意局部信号干净，力避外部干扰。在晶振电路附近或相邻 layer 层尽量不要走线，尤其不允许走高速线、电源线、时钟线等。

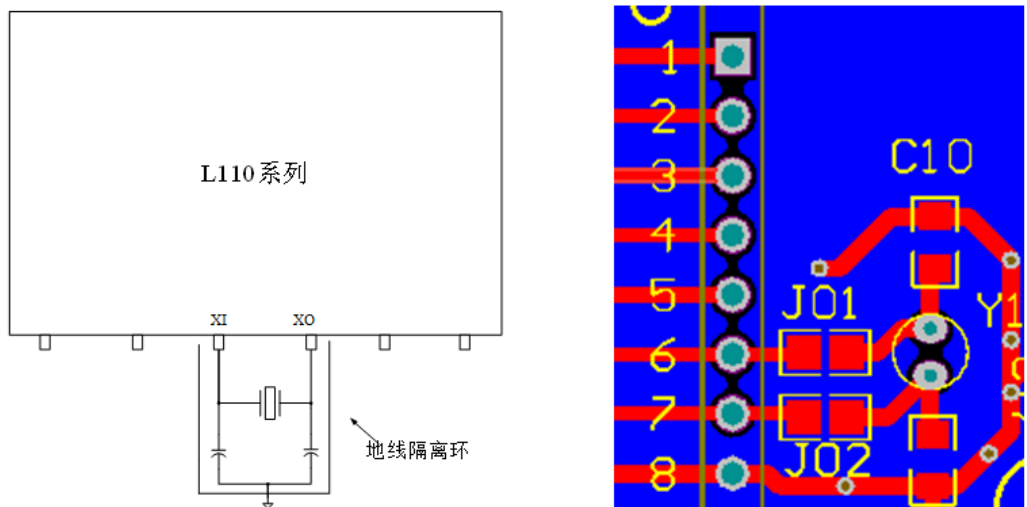


图 5 晶振电路地线隔离环

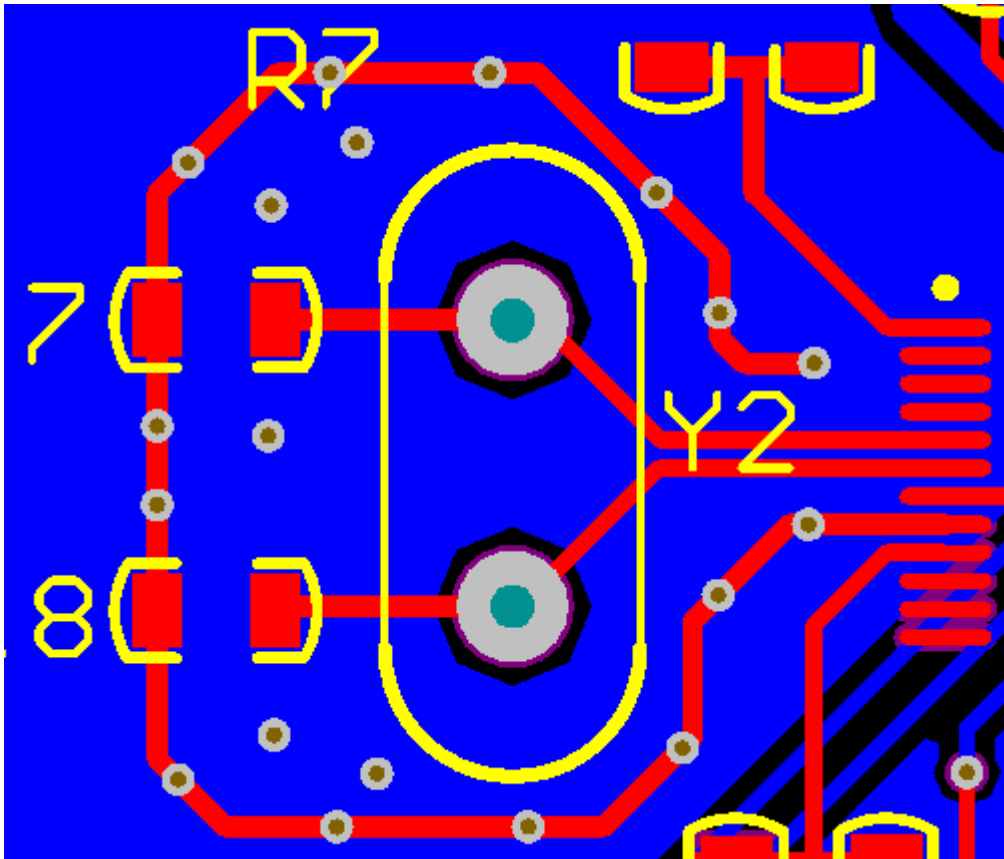


图 6 晶振电路整体布局、滤波、包地隔离设计示意图

6 常用接口设计

6.1 UART 接口设计

UART 接口设计，建议 TX/RX 信号线接 4.7K Ω 上拉电阻接电源。

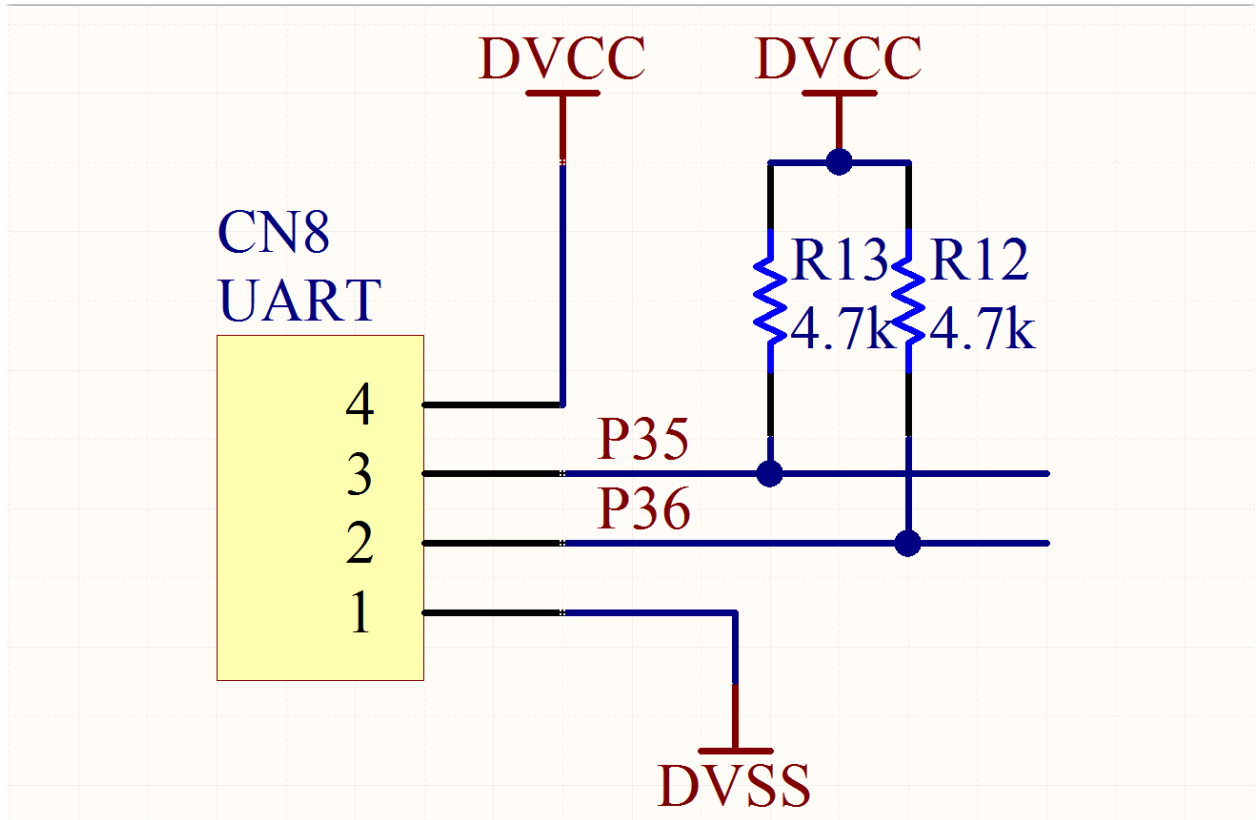


图 7 UART 接口设计示意图

6.2 SWD 接口设计

SWD 接口设计，建议 SWCLK/SWDIO 信号线接 4.7K Ω 上拉电阻接电源。

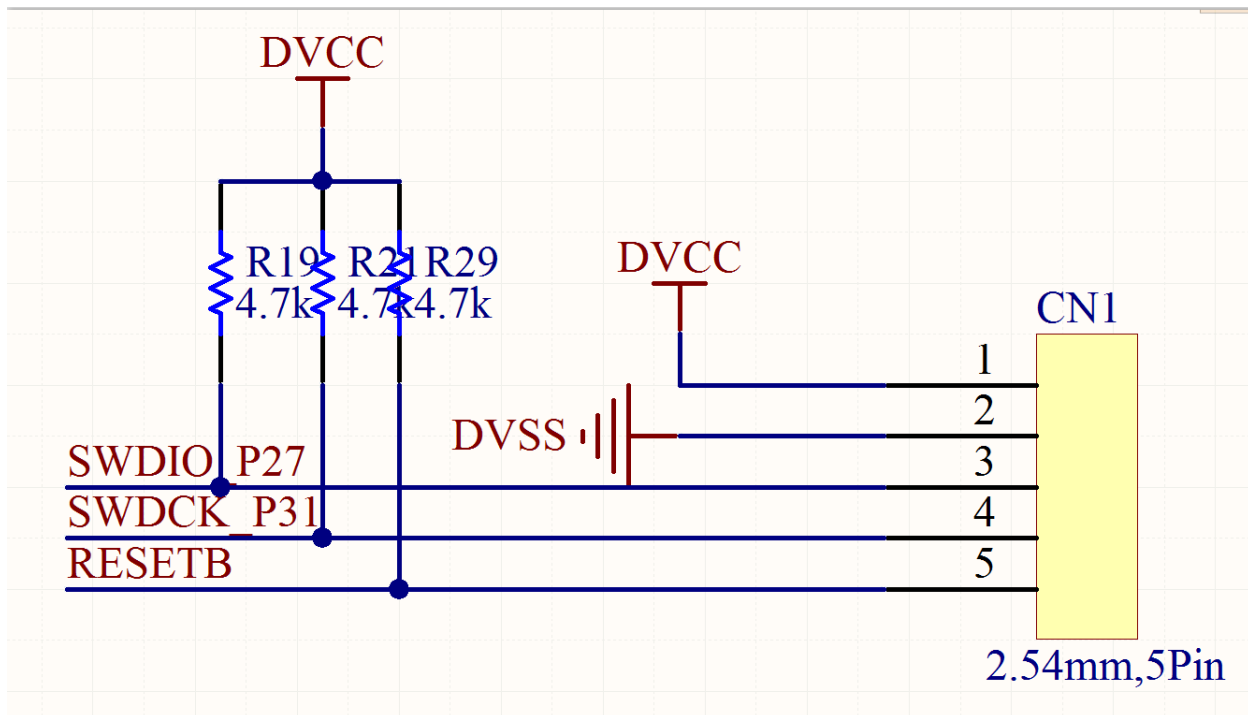


图 8 SWD 接口设计示意图

6.3 I2C 接口设计

I2C 接口设计，建议 I2C_SCL/I2C_SDA 信号线接 $1K\Omega$ 上拉电阻接电源。

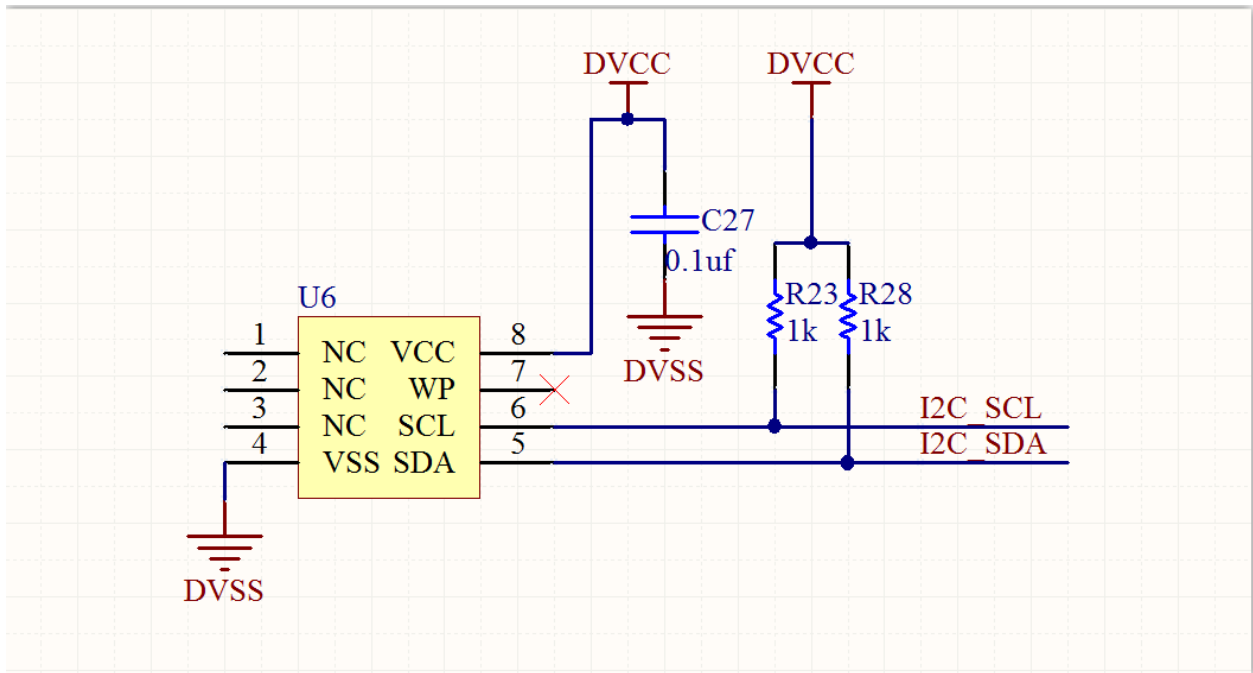


图 9 I2C 接口设计示意图

7 芯片封装 PCB Layout

请参考我司发布的芯片数据手册的“封装信息”章节。请严格按照数据手册规格来设计芯片封装 Layout。另外，我们提供该系列芯片的所有 PCB 封装库，请参考 <http://www.hdsc.com.cn/mcu.htm>。

8 应用电路（最小系统，仅供参考）

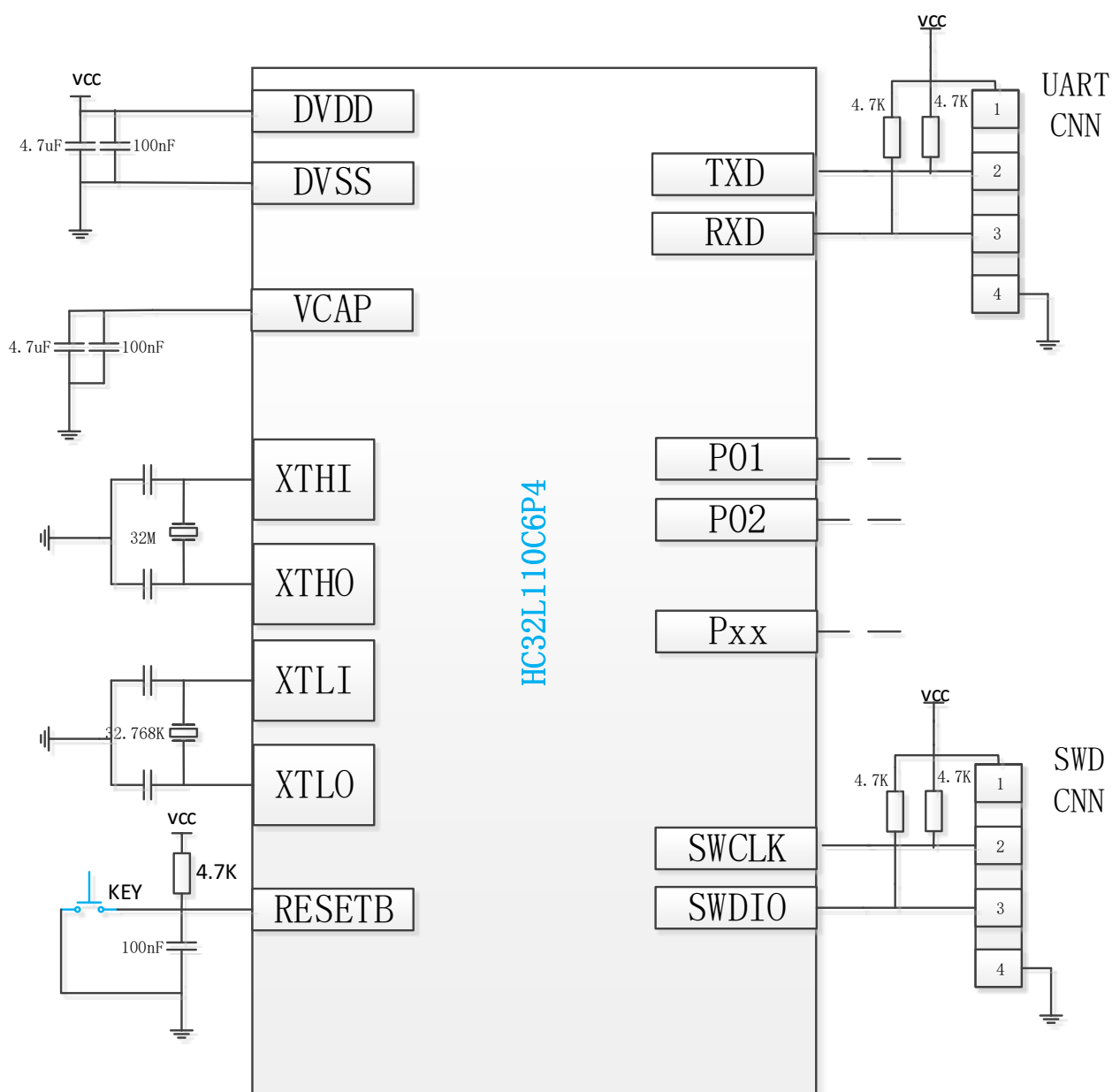


图 10 芯片最小系统设计参考图

9 华大 HC32F003/HC32F005 与友商产品 X003 系列引脚配置比较

9.1 TSSOP20 引脚配置差异

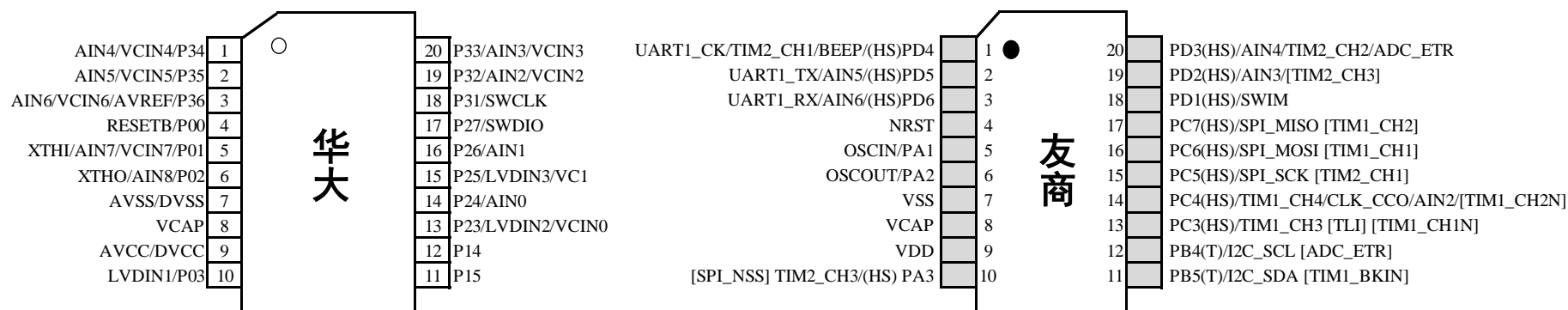


图 11 HC32F003/HC32F005 与 X003 引脚配置比较图

表 1 华大芯片与友商芯片 TSSOP20 引脚配置差异列表

芯片型号	HC32L110C6PA/ HC32L110C4PA /HC32F005C6PA/ HC32F005C4PA	x003
Pin17	P27/SWDIO	PC7
Pin18	P31/SWCLK	PD1/SWIM

说明：

- 华大的芯片 Pin17/Pin18 构成 SWD 烧录口，友商的芯片 Pin18 为单线程序烧录口 SWIM。

10 其他信息

技术支持信息： www.hdsc.com.cn

11 版本信息 & 联系方式

日期	版本	修改记录
2019/6/14	Rev1.0	初版发布。



如果您在购买与使用过程中有任何意见或建议，请随时与我们联系。

Email: mcu@hdsc.com.cn

网址: <http://www.hdsc.com.cn/mcu.htm>

通信地址: 上海市张江高科园区碧波路 572 弄 39 号

邮编: 201203

